

# PERIPHERAL MASS MEMORY SUBSYSTEM

Patent number: JP4219815  
 Publication date: 1992-08-10  
 Inventor: CARTEAU DANIEL; SCHRECK PHILIPPE; GIACOMINI PATRICIA  
 Applicant: BULL SA  
 Classification:  
 - international: G06F3/06; G06F13/12  
 - european:  
 Application number: JP19910069318 19910308  
 Priority number(s):

Also published as:

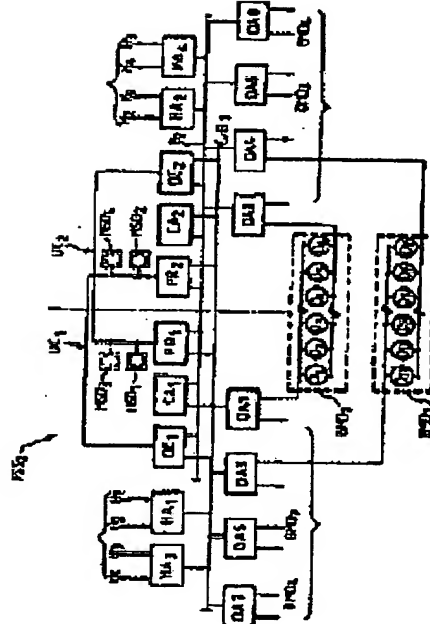
EP0445479 (A1)  
 US5325488 (A1)  
 FR2659460 (A1)  
 EP0445479 (B1)

Report a data error here

## Abstract of JP4219815

**PURPOSE:** To obtain a system which manages not only the transfer of data from a central unit to a mass memory, but also the reading and writing of data to and from the mass memory instead of the central unit.

**CONSTITUTION:** This system includes two control units UC1 and UC2 which belong to an information processing system including one of central hosts H1 -H4 , and are so constituted as to control one of mass memories BMD1 and BMD2 , and equipped with plural structure elements PR1 -PR2 , DE1 -DE2 , CA1 -CA2 , HA1 -HA2 , and DA1 -DA2 connected to an independent power source and 1st and 2nd parallel buses B1 and B2 . Then the system includes microsoftware architecture which is so constituted as to execute commands to the host and inform the host of state changes of the mass memories BMD1 and BMD2 , characteristic of the structure elements PR1 -PR2 , DE1 -DE2 , CA1 -CA2 , and DA1 -DA2 , and mounted on the hardware structure of the elements.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

特開平4-219815

(43) 公開日 平成4年(1992) 8月10日

| (51) Int.Cl. <sup>5</sup> | 識別記号    | 庁内整理番号  | F I | 技術表示箇所 |
|---------------------------|---------|---------|-----|--------|
| G 0 6 F 3/06              | 3 0 1 H | 7165-5B |     |        |
|                           | R       | 7165-5B |     |        |
| 13/12                     | 3 1 0 E | 7230-5B |     |        |

審査請求 有 請求項の数12(全 17 頁)

|              |                 |          |   |
|--------------|-----------------|----------|---|
| (21) 出願番号    | 特願平3-69318      | (71) 出願人 | 390035633<br>ブル・エス・アー<br>フランス国、75116・パリ、アブニユ・ド<br>ウ・マラコフ、121    |
| (22) 出願日     | 平成3年(1991) 3月8日 | (72) 発明者 | ダニエル・カルト<br>フランス国、78180・モンティニ・ル・ブ<br>ルトヌー、プラス・ジヨルジュ・ボンビド<br>ウ、6 |
| (31) 優先権主張番号 | 9 0 0 2 9 6 2   | (72) 発明者 | フィリップ・シユルク<br>フランス国、78310・モルバ、リュ・ド<br>ウ・ロレンヌ、13                 |
| (32) 優先日     | 1990年3月8日       | (74) 代理人 | 弁理士 川口 義雄 (外2名)   |
| (33) 優先権主張国  | フランス (F R)      |          |   |

最終頁に続く

(54) 【発明の名称】 周辺マスメモリサブシステム

(57) 【要約】 (修正有)

【構成】 1つのセントラルホスト (H<sub>1</sub>, H<sub>2</sub>, H<sub>3</sub>, H<sub>4</sub>) を含む情報処理システムに属しており、1つのマスメモリ (BMD<sub>1</sub>, BMD<sub>2</sub>, . . . .) を制御するように構成され且つ独立電源 (ALIM<sub>1</sub>, ALIM<sub>2</sub>, BAT<sub>1</sub>, BAT<sub>2</sub>) と、第1及び/又は第2の並列型バス (B<sub>1</sub>, B<sub>2</sub>) に接続された複数の構造エレメント (P R<sub>1</sub>-P R<sub>2</sub>, DE<sub>1</sub>-DE<sub>2</sub>, CA<sub>1</sub>-CA<sub>2</sub>, HA<sub>1</sub>-H A<sub>2</sub>, DA<sub>1</sub>-DA<sub>2</sub>) とを夫々有する2つのコントロールユニット (UC<sub>1</sub>, UC<sub>2</sub>) を含む周辺マスメモリサブシステム (PSS<sub>1</sub>, PSS<sub>2</sub>)。本サブシステムは、ホストのコマンドを実行すると共にマスメモリの状態変化をホストに知らせるように構成され、各々が各々のコントロールユニットの構造エレメントに固有であり且つ該エレメントのハードウェア構造に搭載されるマイクロソフトウェアアーキテクチャを含むことを特徴とする。

【効果】 本発明はあらゆる型の情報処理システムに有効に適用可能である。

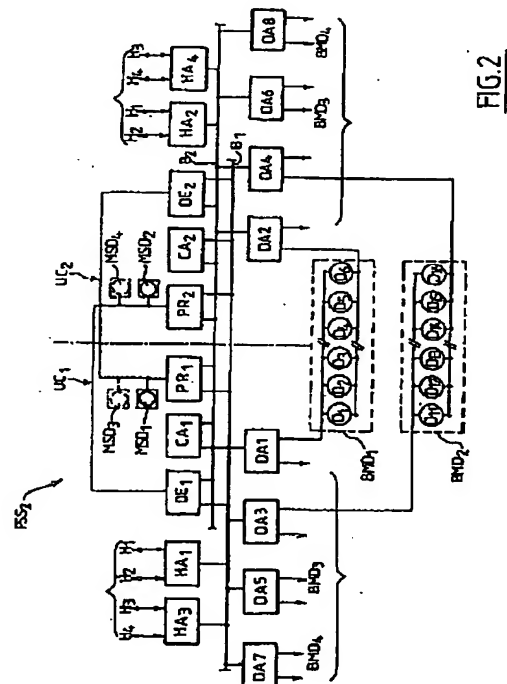


FIG.2

1

## 【特許請求の範囲】

【請求項1】 少なくとも1つのセントラルホストを含む情報処理システムに属しており、少なくとも1つのマスメモリを制御するように構成され且つ独立電源と、第1及び／又は第2の並列型バスに接続された複数の構造（ハードウェア+マイクロソフトウェア）エレメントとを夫々有する2つのコントロールユニットを含む周辺マスメモリサブシステムであって、該サブシステムが、ホストのコマンドを実行すると共にマスメモリの状態変化をホストに知らせるように構成されており、各々が各々のコントロールユニットの各々の構造エレメントに固有であり且つ該エレメントのハードウェア構造に搭載される複数の機能マイクロソフトウェアサブアセンブリから形成されるマイクロソフトウェアアーキテクチャを含むことを特徴とする周辺マスメモリサブシステム。

【請求項2】 ホストが第1のコントロールユニットに属する少なくとも1つの第1のホストアダプタを介して2つのバスの少なくとも一方に接続されており、マスメモリが第1及び第2のコントロールユニットに属する少なくとも1つの第1及び第2のマスメモリアダプタを介して2つのバスの各々に接続されており、ホストアダプタとメモリアダプタとが部分的に同形のハードウェア構造を有しており、コントロールユニットの各々の他の構造エレメントが部分的に同形のハードウェア構造を有することを特徴とする請求項1に記載のサブシステム。

【請求項3】 各機能サブアセンブリが特定の機能に各々対応する1組のモジュールを含んでおり、いくつかのモジュールがサブアセンブリ間で同一であることを特徴とする請求項1又は2に記載のサブシステム。

【請求項4】 ホストアダプタ及びディスクアダプタ以外に、各コントロールユニットの構造エレメントがセントラルプロセッサ、ソリッドステートディスクユニット及びキャッシュメモリであり、各コントロールユニットのセントラルプロセッサ、ソリッドステートディスクユニット及びキャッシュメモリが夫々相互に同一であり、一方のユニットの構造エレメントの各々が他方のユニットの対応するエレメントと同一であることを特徴とする請求項1から3のいずれか一項に記載のサブシステム。

【請求項5】 ホストアダプタ及びマスメモリアダプタがドーターボードに関連付けられるマザーボードを各々含んでおり、マザーボードが構造的に相互に同一であり、以下のハードウェアコンポーネント、即ちマスメモリに書き込み又は読み取りすべきデータブロックを受け取るバッファメモリと、帰属するアダプタの機能を制御するためのマイクロプロセッサと、対応するアダプタに固有の機能サブアセンブリのマイクロソフトウェアモジュールの種々の命令とデータとを受け取るRAM型メモリと、対応するアダプタをコントロールユニットの他の構造エレメントに接続するためのマイクロプロセッサと、2つのバスの少なくとも一方との接続用インターフ

2

ェースとを備えており、これらのコンポーネントがコントロールマイクロプロセッサの内部バスに接続されていることを特徴とする請求項4に記載のサブシステム。

【請求項6】 ホストアダプタのドーターボードがセントラルホストとの接続用インターフェースを含んでおり、マスメモリアダプタのドーターボードがマスメモリとの接続用インターフェースを備えていることを特徴とする請求項5に記載のサブシステム。

【請求項7】 セントラルプロセッサ、ソリッドステートディスクユニット及びキャッシュメモリがドーターボードに接続されるか又はされない少なくとも1つのマザーボードを各々含んでおり、ハードウェアが互いに同一のマザーボードが以下のハードウェアコンポーネント、即ち2つのバスと接続するための2つのインターフェースと、2つのバスによりサブシステムの他の構成要素である構造エレメントと接続するための2つのマイクロコントローラと、対応する構造エレメントのコマンド用マイクロプロセッサと、バッファメモリと、対応する構造エレメントに固有のサブアセンブリの種々のマイクロソフトウェアモジュールとそのコマンドマイクロプロセッサにより処理されるデータとを含むRAM型メモリとを備えており、これらの種々のコンポーネントが同一のコマンドマイクロプロセッサの同一の内部バスに接続されていることを特徴とする請求項4に記載のサブシステム。

【請求項8】 ホストアダプタに固有の機能サブアセンブリHが、該サブアセンブリHを構成する種々のモジュール間の関係作業を組織するホストアダプタのオペレーティングシステムに関するモジュールM<sub>0</sub>と、アダプタが接続された並列型バスを介してホストアダプタ及び他の構造エレメントにしたがって情報の転送を管理するためのモジュールM<sub>1</sub>と、ホストインターフェースを管理するためのモジュールM<sub>2</sub>と、ホストアダプタのRAM型メモリに含まれるコマンドスタックを管理するためのモジュールM<sub>3</sub>と、ホストによりコントロールユニットにアドレスされるコマンドを実行するためのモジュールM<sub>4</sub>と、セントラルホストからマスメモリへのコマンドを受け取り、これらのコマンドをマスメモリアダプタに経路指定するためのモジュールM<sub>5</sub>と、ホストアダプタのハードウェアコンポーネントの一方又は他方にエラーが検出された場合にリスタート及びエラー処理するためのモジュールM<sub>6</sub>と、ホストアダプタのバッファメモリを管理するためのモジュールM<sub>10</sub>とを含むことを特徴とする請求項6に記載のサブシステム。

【請求項9】 マスメモリアダプタに固有の機能サブアセンブリDが、ホストアダプタのモジュールと同一のモジュールM<sub>0</sub>、M<sub>1</sub>、M<sub>3</sub>、M<sub>6</sub>、M<sub>10</sub>と、セントラルホストからマスメモリへのコマンドを翻訳するためのモジュールM<sub>9</sub>とを含むことを特徴とする請求項8に記載のサブシステム。

【請求項10】 ソリッドステートディスクユニットのサブアセンブリが、ホストアダプタのモジュールと同一のモジュールM<sub>0</sub>、M<sub>1</sub>、M<sub>2</sub>、M<sub>3</sub>、M<sub>4</sub>と、セントラルホストから対応するソリッドステートディスクユニットへのコマンドを翻訳するためのモジュールM<sub>5</sub>とを含むことを特徴とする請求項8に記載のサブシステム。

【請求項11】 キャッシュメモリのサブアセンブリCがモジュールM<sub>0</sub>、M<sub>1</sub>と、キャッシュメモリのテーブルを管理するためのモジュールM<sub>11</sub>とを含むことを特徴とする請求項8に記載のサブシステム。

【請求項12】 セントラルプロセッサの機能サブアセンブリPがモジュールM<sub>0</sub>及びM<sub>1</sub>以外に、対応するコントロールユニットを初期化するためのモジュールM<sub>12</sub>と、2つのコントロールユニット間の通信用モジュールであって、該ユニットの一方を構成する構造エレメントの一つが使用不能の場合に、該ユニット間に情報交換を設定するように特に構成されたモジュールM<sub>13</sub>と、対応するセントラルプロセッサによりコマンドされるコントロールユニットの電源を管理するためのモジュールM<sub>14</sub>と、電源が切断された場合に対応するセントラルプロセッサによりコマンドされるコントロールユニットのコンテキストを救済するためのモジュールM<sub>15</sub>と、電源が切断され、モジュールM<sub>15</sub>により救済が行われた後に、対応するソリッドステートディスクユニットの書き込み又は読み取りオペレーションをリスタートするためのモジュールM<sub>17</sub>と、バックアップディスクメモリと関連するセントラルプロセッサとの間のインターフェースを管理するためのモジュールM<sub>18</sub>とを備えることを特徴とする請求項8に記載のサブシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は周辺マスメモリサブシステムに係る。より詳細には、本発明は該サブシステムのハードウェア及びマイクロソフトウェアアーキテクチャに係り、あらゆる型の情報処理システムに適用可能である。

【0002】

【従来の技術】 情報処理システムが少なくとも1つのセントラルプロセッサ及び該プロセッサが接続された1つの主記憶装置から形成される少なくとも1つの中央処理装置即ちセントラルホストと、複数の周辺装置と、主記憶装置と種々の周辺装置との間のデータ交換の制御を確保する少なくとも1つの入出力プロセッサとから構成されることは知られている。

【0003】 種々のコントロールユニット即ちコントローラが種々の周辺装置に関連付けられており、セントラルホストと種々のコントローラに関連付けられる周辺装置との間のデータの物理的転送を確保する。

【0004】 一般に、同一の地理的位置において情報処理システムを構成する全機能エレメントは、これらのエ

レメントを担持する種々のボードとその電源との間のデータ転送を確保する同一の並列バスに接続されている。

【0005】 現在最も汎用されているバスはMultibus 11 (Intel社の登録商標) である。そのアーキテクチャはInstitute of Electrical and Electronic Engineers (IEEE) 規格1296により規格化された並列型の主バスを中心に構築される。

【0006】 最も頻用されている周辺装置としては回転磁気ディスクメモリ又は光ディスクメモリのようなマスメモリがある。マスメモリは非常に大量の情報を保存し且つ比較的迅速に情報にアクセスすることができるので、非常に広く使用されている。その平均アクセス時間は約20〜25ミリ秒である。市販の最高性能のディスクメモリの容量は1ギガバイトを越える。

【0007】 マスメモリとしては、半導体メモリを使用する電子メモリ又は電子ディスク (又はソリッドステートディスク) として知られるメモリが現在開発中である。そのアクセス時間は1ミリ秒 (即ち最高性能の回転ディスクメモリのアクセスタイムの数十分の1) を大幅に下回り、回転部分を備えない。しかしながら、その単位記憶容量コストは高く、磁気ディスクメモリの約20倍である。もともと、エレクトロニックメモリの単位記憶容量コストは回転磁気ディスクメモリよりも著しく迅速に低下しつつあり、このコストは数年以内に等しくなるだろうと考えられる。したがって、情報処理システムの周辺装置として回転磁気ディスクメモリとソリッドステートディスクとを同時に使用すると有用であると考えられる。

【0008】

【発明が解決しようとする課題】 情報処理システムの構造はますます複雑になっており、ますます多数のエレメントが必要になっている。更に、このようなシステムにより処理すべきデータ量は極めて甚大であり、システムのセントラルプロセッサにより処理する前に多数のマスメモリを使用してこれらのデータを保存する必要がある。その結果、このようなシステム全体を中央処理装置により管理するのは著しく複雑である。

【0009】 したがって、夫々システムのエレメントの一部、特に周辺装置を管理する複数のサブシステムのレベルに、情報処理システムを構成するエレメントアセンブリに管理を分散させることが望ましい。

【0010】 本発明の目的は明確には、セントラルユニットの代わりにセントラルユニットからマスメモリへのデータの転送のみならずマスメモリへの情報の読み書きを管理する周辺マスメモリサブシステムを提供することである。

【0011】 このようなサブシステムはできるだけ使用し易く且つ高性能でなければならない。

【0012】 更に、データへのアクセスは完全に保護されなければならない、即ち一部又は全体の故障時であらう

と、システムのエレメントの全体又は一部の保守のためのダウン時間であろうと状況に関係なく、サブシステムにより管理されるマスメモリに含まれる任意のデータに常にアクセスできなければならない。

【0013】換言するならば、セントラルホストはサブシステムがマスメモリを実際にどのように管理するかを気遣う必要なく、サブシステム又はマスメモリに影響し得る誤動作とは無関係に、サブシステムにより管理されるマスメモリに含まれる任意のデータにアクセスできなければならない。これはホストにとってデータの可用性を規定する。

【0014】

【課題を解決するための手段】このために、本発明の周辺マスメモリサブシステムはMultibus II型の2つの並列バスを中心に構築されたモジュラーハードウェアアーキテクチャにしたがって構成され、種々の型のハードウェアエレメント（ロジックボード）の数は著しく少ない。これらのハードウェアエレメントは相互に同形の部分を有しており、これらの種々のハードウェアエレメントに搭載されたマイクロソフトウェアアーキテクチャは同様にモジュラー型であり、所定のハードウェアエレメントに夫々搭載される複数の機能サブアセンブリを含み、マイクロソフトウェアアーキテクチャのサブアセンブリはマイクロソフトウェアモジュールから形成され、モジュールの一部はサブアセンブリ間で共通である。

【0015】

【作用】本発明によると、少なくとも1つのセントラルホストを含む情報処理システムに属しており、少なくとも1つのマスメモリを制御するように構成され且つ独立電源と、第1及び/又は第2の並列型バスに接続された複数の構造（ハードウェア+マイクロソフトウェア）エレメントとを夫々有する2つのコントロールユニットを含む周辺マスメモリサブシステムは、ホストのコマンドを実行すると共にマスメモリの状態変化をホストに知らせるように構成されており、各々が各々のコントロールユニットの各々の構造エレメントに固有であり且つ該エレメントのハードウェア構造に搭載される複数の機能マイクロソフトウェアサブアセンブリから形成されるマイクロソフトウェアアーキテクチャを含むことを特徴とする。

【0016】

【実施例】本発明のその他の特徴及び利点は添付図面に開する以下の詳細な説明に明示される。

【0017】図1は本発明の周辺マスメモリサブシステムの第1の実施態様PSS<sub>1</sub>を示す。

【0018】サブシステムPSS<sub>1</sub>は例えば2つのセントラルホストH<sub>1</sub>及びH<sub>2</sub>を含むより大型の情報処理システムに属する。

【0019】サブシステムPSS<sub>1</sub>は好ましくは2つの同一のコントロールユニット、即ち図1の左側のUC<sub>1</sub>

と右側のUC<sub>2</sub>とを含む。

【0020】サブシステムPSS<sub>1</sub>のハードウェアアーキテクチャは好ましくはMultibus II型の相互に並列な2つの同形のバスB<sub>1</sub>及びB<sub>2</sub>の周囲に構築され、該バスは相互に完全に正対する中心ゾーンと、相互に正対しない2つの側部ゾーンとを有する。

【0021】2つのコントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>は厳密に同形であり、対称面PSに関して相互に対称である。

【0022】第1のコントロールユニットUC<sub>1</sub>は第1の電源ALIM<sub>1</sub>により電気エネルギーを供給され、バッテリーBAT<sub>1</sub>により構成される第1の緊急電源手段に接続されている。

【0023】同様に、第2のコントロールユニットUC<sub>2</sub>は第1の電源から独立した第2の電源ALIM<sub>2</sub>により給電され、第2の緊急電源BAT<sub>2</sub>に接続されている。

【0024】第1のコントロールユニットUC<sub>1</sub>は以下の構造エレメント、即ち第1のセントラルプロセッサPR<sub>1</sub>と、ソリッドステートディスクユニットDE<sub>1</sub>と、ホストアダプタHA<sub>1</sub>、マスメモリ（マスメモリは6つのディスクメモリD<sub>1</sub>〜D<sub>6</sub>を有するバンクBMD<sub>1</sub>から形成される）アダプタ（本明細書中では簡単にするためにディスクアダプタと呼称する）DA<sub>1</sub>と、バックアップディスクメモリMSD<sub>1</sub>と、キャッシュメモリCA<sub>1</sub>を含み、1つの構造エレメントはハードウェア構造とこの構造に搭載されたマイクロソフトウェアサブアセンブリとの組み合わせとして規定される。

【0025】

【0026】同様に、第2のコントロールユニットUC<sub>2</sub>は第2のセントラルプロセッサPR<sub>2</sub>と、第2のソリッドステートディスクユニットDE<sub>2</sub>と、ホストアダプタHA<sub>2</sub>と、第2のディスクアダプタDA<sub>2</sub>と、第2のバックアップディスクメモリMSD<sub>2</sub>と、第2のキャッシュメモリCA<sub>2</sub>とを含む。

【0027】第1及び第2のディスクアダプタDA<sub>1</sub>及びDA<sub>2</sub>は夫々のリンクCS<sub>1</sub>及びCS<sub>2</sub>を介してディスクメモリバンクBMD<sub>1</sub>に接続されている（図1には6つのディスクメモリ即ちD<sub>1</sub>〜D<sub>6</sub>のみを示す）。該ディスクアダプタは更にリンクCS<sub>2</sub>及びCS<sub>4</sub>を介して第2のディスクメモリバンクBMD<sub>2</sub>（図1には簡単にするために図示せず）に接続されている。

【0028】リンクCS<sub>1</sub>〜CS<sub>4</sub>は、American National Standards Institute (ANSI) 及びInternational Standard Organization (ISO) により規格化されたIPI-2型である。

【0029】第1のホストアダプタHA<sub>1</sub>は第1の接続チャンネルCE<sub>1</sub>により第1のホストH<sub>1</sub>に接続され、第2の接続チャンネルCE<sub>2</sub>により第2のホストH<sub>2</sub>に接続されている。

【0030】同様に、第2のホストアダプタHA<sub>2</sub>は第

1の連結チャネルCE<sub>3</sub>により第2のホストH<sub>2</sub>に接続されており、第2の接続チャネルCE<sub>4</sub>により第1のホストH<sub>1</sub>に接続されている。

【0031】この場合、第1及び第2のホストアダプタHA<sub>1</sub>及びHA<sub>2</sub>の第1の連結チャネルCE<sub>1</sub>及びCE<sub>3</sub>は第2の連結チャネルCE<sub>2</sub>及びCE<sub>4</sub>よりも優先される。

【0032】4つの接続チャネルCE<sub>1</sub>～CE<sub>4</sub>はANSI(及びISO)により規格化されたIPI-3型である。

【0033】第1のコントロールユニットを構成する全構造エレメント即ちPR<sub>1</sub>、DE<sub>1</sub>、HA<sub>1</sub>、DA<sub>1</sub>、MSD<sub>1</sub>及びCA<sub>1</sub>は、ハードウェア及び及びマイクロソフトウェアの両面から見て第2のコントロールユニットUC<sub>2</sub>の対応するエレメント即ちPR<sub>2</sub>、DE<sub>2</sub>、HA<sub>2</sub>、DA<sub>2</sub>、MSD<sub>2</sub>及びCA<sub>2</sub>と同形であり、面PSに関して相互に対称に配置されている。

【0034】6つの構成エレメントDE<sub>1</sub>、DE<sub>2</sub>、PR<sub>1</sub>、PR<sub>2</sub>、CA<sub>1</sub>、CA<sub>2</sub>は、2つのバスB<sub>1</sub>及びB<sub>2</sub>バスの相互に正対している中心部分でこれらのバスに同時に接続されている。

【0035】第1のコントロールユニットUC<sub>1</sub>の構成エレメントHA<sub>1</sub>及びDA<sub>1</sub>は第1のバスBS<sub>1</sub>に接続され、第2のコントロールユニットUC<sub>2</sub>の対応するエレメントHA<sub>2</sub>及びDA<sub>2</sub>は第2のバスB<sub>2</sub>に接続されている。

【0036】第1のバックアップディスクメモリMSD<sub>1</sub>は、SCSI型のリンクL<sub>1</sub>を介して第1のセントラルプロセッサPR<sub>1</sub>と第2のソリッドステートディスクユニットDE<sub>2</sub>とに接続されている。

【0037】同様に第2のバックアップディスクメモリMSD<sub>2</sub>は、SCSI型のリンクL<sub>2</sub>を介して第2のセントラルプロセッサPR<sub>2</sub>と第1のソリッドステートディスクユニットDE<sub>1</sub>とに接続されている。したがって、2つのバックアップディスクメモリMSD<sub>1</sub>及びMSD<sub>2</sub>は同時に第1及び第2のコントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>からアクセス可能である。

【0038】2つのバックアップディスクメモリは、電源ALIM<sub>1</sub>及びALIM<sub>2</sub>(図1では簡単にするために図示せず)に夫々接続された2つの入力有するOR回路により電圧を供給される。

【0039】図2に示す本発明の周辺マスメモリサブシステムの第2の実施態様PSS<sub>2</sub>は、図1に示した第1の実施態様PSS<sub>1</sub>の拡張形でより高性能である。該サブシステムは同様に2つのバスB<sub>1</sub>及びB<sub>2</sub>の周囲に構築されると仮定される。該サブシステムは同様に2つの同形のコントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>を含む。該コントロールユニットの各々はエレメントPR<sub>1</sub>、DE<sub>1</sub>、CA<sub>1</sub>、MSD<sub>1</sub>、DA<sub>1</sub>及びHA<sub>1</sub>(ユニットUC<sub>1</sub>)と、PR<sub>2</sub>、DE<sub>2</sub>、CA<sub>2</sub>、MSD<sub>2</sub>、DA<sub>2</sub>及びHA<sub>2</sub>(ユニットUC<sub>2</sub>)とを含んでおり、これらのエレメントは図1の対応エレメントと全く同一の参照符号を付

し、厳密に同一の役割及び機能を有する。6つのディスクメモリD<sub>1</sub>～D<sub>6</sub>から構成されるディスクメモリバンクBMD<sub>1</sub>は図1と同様に2つのディスクアダプタDA<sub>1</sub>及びDA<sub>2</sub>に接続されている。

【0040】第1のコントロールユニットUC<sub>1</sub>は、更にホストアダプタHA<sub>3</sub>と3つのディスクアダプタDA<sub>3</sub>、DA<sub>5</sub>、DA<sub>7</sub>とを含む。

【0041】同様に、第2のコントロールユニットUC<sub>2</sub>は、更にホストアダプタHA<sub>4</sub>と3つのディスクアダプタDA<sub>4</sub>、DA<sub>6</sub>及びDA<sub>8</sub>とを含む。

【0042】ホストアダプタHA<sub>1</sub>及びHA<sub>3</sub>と4つのディスクアダプタDA<sub>1</sub>、DA<sub>3</sub>、DA<sub>5</sub>及びDA<sub>7</sub>とはバスB<sub>2</sub>に接続されており、ホストアダプタHA<sub>2</sub>及びHA<sub>4</sub>とディスクアダプタDA<sub>2</sub>、DA<sub>4</sub>、DA<sub>6</sub>、DA<sub>8</sub>とはバスB<sub>1</sub>に接続されている。

【0043】上記の他のエレメント、即ちセントラルプロセッサPR<sub>1</sub>、PR<sub>2</sub>、キャッシュメモリCA<sub>1</sub>、CA<sub>2</sub>及びソリッドステートディスクユニットDE<sub>1</sub>、DE<sub>2</sub>は同時に2つのバスB<sub>1</sub>及びB<sub>2</sub>に接続されていることが明らかである。

【0044】2つのディスクアダプタDA<sub>3</sub>及びDA<sub>4</sub>は、例えば6つのディスクメモリD<sub>11</sub>～D<sub>16</sub>により構成されるディスクメモリバンクBMD<sub>2</sub>に接続されている。

【0045】同様に、ディスクアダプタDA<sub>5</sub>及びDA<sub>6</sub>とDA<sub>7</sub>及びDA<sub>8</sub>とは、夫々例えば6つのディスクメモリD<sub>21</sub>～D<sub>26</sub>及びD<sub>31</sub>～D<sub>36</sub>(図2には簡単にするための図示せず)により構成されるディスクメモリバンクBMD<sub>3</sub>及びBMD<sub>4</sub>に夫々接続されている。

【0046】ディスクアダプタに接続されたディスクメモリの数が十分に多い場合、コントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>は夫々第1のセントラルプロセッサPR<sub>1</sub>及び第2のソリッドステートディスクユニットDE<sub>2</sub>と、第2のセントラルプロセッサPR<sub>2</sub>及び第1のソリッドステートディスクユニットDE<sub>1</sub>とに夫々接続された補助バックアップディスクメモリ(例えばMSD<sub>3</sub>及びMSD<sub>4</sub>)を含み得る。

【0047】本発明の周辺サブシステムは図2に示す以外のホストアダプタ及びディスクアダプタを含んでもよいことが明らかであり、これらの補助ディスクアダプタは他の磁気ディスクメモリバンク、例えば光ディスクメモリバンク、テープ駆動装置又は磁気光学ディスクメモリ等に接続される。換言するならば、本発明の周辺マスメモリサブシステムは多数の可能な機器構成を含むことができ、多大な記憶容量を有するマスメモリを管理することができる。

【0048】本発明のサブシステムのディスクメモリは(UC<sub>1</sub>又はUC<sub>2</sub>のホスト及びディスクアダプタを介する)デュアルアクセス型であることが理解されよう。更に、ユニットUC<sub>1</sub>及びUC<sub>2</sub>の各々が同形であり且つ2

つのバスB<sub>1</sub>及びB<sub>2</sub>に接続されているため、互換可能である。その結果、UC<sub>1</sub>の構成要素の1つが(例えば全体又は一部の故障、保守又は移動のために)使用不能な場合にUC<sub>2</sub>の対応する要素で代替することができる。同様に、ユニットUC<sub>1</sub>又はUC<sub>2</sub>の一方が使用不能な場合(電源が切断された場合、又は保守作業中)には他方のユニットで代替する。二重のMultibus Iを有する完全に冗長な本発明の周辺サブシステムの構造(ハードウェア及びマイクロソフトウェアの両方)はデータの完全な保護とセントラルホストH<sub>1</sub>のデータ可用性とを確保する。

【0049】ホストアダプタ(例えばHA<sub>1</sub>)及びディスクアダプタ(例えばDA<sub>1</sub>)のより詳細なハードウェア構造を図3に示す。アダプタ夫々HA<sub>2</sub>~HA<sub>4</sub>及びDA<sub>2</sub>~DA<sub>4</sub>のハードウェア構造はHA<sub>1</sub>及びDA<sub>1</sub>について以下に記載する対応する構造と完全に同形であることが理解されよう。

【0050】ホストアダプタHA<sub>1</sub>は、接続チャンネルCE<sub>1</sub>及びCE<sub>2</sub>によりセントラルホストH<sub>1</sub>及びH<sub>2</sub>に接続するための(上記IPI-3規格により規定される型の)インターフェースIH<sub>1</sub>と、好適態様によると約512~768KBの容量を有するホストバッファメモリ(簡単にホストバッファと呼称する)MTH<sub>1</sub>と、ホストアダプタの機能を制御するマイクロプロセッサMPH<sub>1</sub>(例えばRISC型のAMD 29000マイクロプロセッサ)と、マイクロプロセッサMPH<sub>1</sub>に関連するRAM型メモリであって、例えばホストアダプタHA<sub>1</sub>に搭載されるマイクロソフトウェアモジュールの種々の命令を受け取るように構成された1つのRAM型メモリとデータのための1つのRAM型メモリ(夫々命令及びデータに充てられるこれらの2つのRAM型メモリは例えば各々256Kの容量を有する)とから構成されるRAM型メモリRAH<sub>1</sub>と、バスB<sub>1</sub>を介してホストアダプタをコントロールユニットの他の要素と接続するためのマイクロコントローラMCH<sub>1</sub>と、上記IEEE規格1296により規定されるMultibus IIバスB<sub>1</sub>との接続用インターフェースであって、例えば本発明の周辺サブシステムPSS<sub>1</sub>、PSS<sub>2</sub>の他の構成要素とメッセージモードで通信するVL 82c389コプロセッサ(Intel社製)により構成されるインターフェースIBH<sub>1</sub>とを含む。

【0051】上記ホストアダプタの全構成要素はマイクロプロセッサMPH<sub>1</sub>の内部バスBI<sub>1</sub>により相互に通信する。

【0052】ディスクアダプタDA<sub>1</sub>のハードウェア構造はホストアダプタHA<sub>1</sub>のハードウェア構造と同様である。

【0053】即ちアダプタDA<sub>1</sub>は、上記IEEE規格1296により規定されるバスB<sub>1</sub>との接続用接続インターフェースIBD<sub>1</sub>と、ディスクメモリD<sub>1</sub>~D<sub>6</sub>に書き込むべきデータ又は該ディスクメモリに書き込まれた

データの読み取りに由来するデータのためのバッファメモリ(より簡単にディスクバッファと呼称する)MTD<sub>1</sub>と、ディスクアダプタのコマンドマイクロプロセッサMPD<sub>1</sub>と、相互接続用マイクロコントローラMCD<sub>1</sub>と、マイクロプロセッサMPD<sub>1</sub>に関連するRAM型メモリRAD<sub>1</sub>と、接続チャンネルCS<sub>1</sub>及びCS<sub>2</sub>を介してディスクメモリバンクBMD<sub>1</sub>に接続するためのインターフェースID<sub>1</sub>(このインターフェースは上記IPI-2規格により規定される)とを含む。

10 【0054】ホストアダプタ及びディスクアダプタHA<sub>1</sub>及びDA<sub>1</sub>のハードウェア構造は、マザーボード及びドーターボードから構成される。

【0055】即ちホストアダプタHA<sub>1</sub>は、マザーボードCMH<sub>1</sub>とドーターボードCFH<sub>1</sub>とを含み、ディスクアダプタDA<sub>1</sub>はマザーボードCMD<sub>1</sub>とドーターボードCFD<sub>1</sub>とを含む。

【0056】マザーボードCMH<sub>1</sub>は上記要素MTH<sub>1</sub>、MPH<sub>1</sub>、RAH<sub>1</sub>、MCH<sub>1</sub>、IBH<sub>1</sub>を含み、マザーボードCMD<sub>1</sub>は要素MCD<sub>1</sub>、MTD<sub>1</sub>、RAD<sub>1</sub>、MPD<sub>1</sub>及びIBD<sub>1</sub>を含む。

【0057】ドーターボードCFH<sub>1</sub>はインターフェースIH<sub>1</sub>を含み、ドーターボードCFD<sub>1</sub>はインターフェースID<sub>1</sub>を含む。

【0058】2つのマザーボードCMH<sub>1</sub>及びCMD<sub>1</sub>は厳密に同形であり、したがってホスト及びディスクアダプタHA<sub>1</sub>及びDA<sub>1</sub>はドーターボードCFH<sub>1</sub>及びCFD<sub>1</sub>以外は同一のハードウェアを有することが理解されよう。マザーボードCMH<sub>1</sub>、CMD<sub>1</sub>は、Multibus II型の単一バス(例えばB<sub>1</sub>)に接続できるという意味でmon

30 o-Multibus II型である。

【0059】コントロールユニットUC<sub>1</sub>の種々の構成要素PR<sub>1</sub>、CA<sub>1</sub>、DE<sub>1</sub>のハードウェア構造を図4に示す。

【0060】これらの要素PR<sub>1</sub>、CA<sub>1</sub>、DE<sub>1</sub>の各々はマザーボード夫々CMP<sub>1</sub>、CMC<sub>1</sub>及びCMD<sub>1</sub>と、少なくとも1つのドーターボードCFC<sub>1</sub>及びCFD<sub>1</sub>(夫々CA<sub>1</sub>及びDA<sub>1</sub>の場合)とから形成される。

【0061】種々のマザーボードCMP<sub>1</sub>、CMC<sub>1</sub>及びCMD<sub>1</sub>は同一のハードウェア構造を有する。

40 【0062】即ち、マザーボードCMP<sub>1</sub>は、いずれも内部バス5に接続されたハードウェアコンポーネント1~8を含み、マザーボードCMC<sub>1</sub>は、いずれも内部バス15に接続されたハードウェアコンポーネント11~18を含み、マザーボードCMD<sub>1</sub>は、いずれも内部バス25に接続されたハードウェアコンポーネント21~28を含む。

【0063】ハードウェアコンポーネント1~8、11~18及び21~28は夫々上記順序で相互に同形である。即ち、要素1、11及び21は相互に同形であり、要素2、12、22は相互に同形であり、



以下同様である。したがって、ハードウェアコンポーネント11~18及び21~28を認識するためには、ハードウェアコンポーネント1~8について説明すれば十分である。

【0064】コンポーネント1及び2はバスB<sub>1</sub>及びB<sub>2</sub>との通信用インターフェースであり、上記インターフェースIBH<sub>1</sub>及びIBD<sub>1</sub>と同一型である。

【0065】2つのコンポーネント3及び4は、バスB<sub>1</sub>及びB<sub>2</sub>により周辺サブシステムの他の構成エレメントと接続するためのマイクロコントローラである。これらのマイクロコントローラは、上記マイクロコントローラMCH<sub>1</sub>及びMCD<sub>1</sub>と同一型の例えばIntel 80c32型マイクロコントローラである。

【0066】コンポーネント6はセントラルプロセッサPR<sub>1</sub>を構成するコンポーネント全体のコマンドマイクロプロセッサである。該マイクロプロセッサはRISC型のAMD 2900マイクロプロセッサからなり、したがって、上記マイクロプロセッサMPH<sub>1</sub>及びMPD<sub>1</sub>と同形である。

【0067】コンポーネント7は512~768K (MTD<sub>1</sub>及びMTH<sub>1</sub>に等しい) の容量を有するバッファメモリであり、コンポーネント8は図3に関して上述したと同一型のメモリ (即ちRAH<sub>1</sub>及びRAD<sub>1</sub>) と同一のRAM型メモリである。したがってコンポーネント8は、セントラルプロセッサPR<sub>1</sub>に含まれる種々のマイクロソフトウェアモジュールの命令を含む1つのRAM型メモリと、マイクロプロセッサ6により処理されるデータのための1つのRAM型メモリとにより構成される。

【0068】マザーボードCMP<sub>1</sub>、CMC<sub>1</sub>、CMD<sub>1</sub>は、bi-Multibus II型のマザーボードである。

【0069】セントラルプロセッサPR<sub>1</sub>のマザーボードCMP<sub>1</sub>は更に、セントラルプロセッサとDE<sub>2</sub>とをバックアップディスクメモリMSD<sub>1</sub>に接続するリンクL<sub>1</sub>とのインターフェースであるハードウェアコンポーネント9を含む。インターフェースはしたがってIPI-2規格型である。

【0070】同様に、ソリッドステートディスクユニットのマザーボードCMD<sub>1</sub>は、PR<sub>2</sub>及びDE<sub>1</sub>をMSD<sub>2</sub>に接続するリンクL<sub>2</sub>とのインターフェースを構成するコンポーネント29を含む。

【0071】ソリッドステートディスクユニットDE<sub>1</sub>のドーターボードCFD<sub>1</sub>はこのユニットのメモリプレーンを構成し、例えばRAMメモリの複数のカラム(カラム1R<sub>1</sub>, ..., 1R, ..., 1R)を含む。

【0072】このメモリプレーンCFD<sub>1</sub>から又は該メモリプレーンへの情報(データ及びこれらのデータがメモリプレーンCMD<sub>1</sub>のRAMの内側で位置付けられるアドレス)はバスBDA<sub>1</sub>を通して輸送され、該バスはこのメモリプレーンのRAMメモリカラム全体に供給す

るに十分な数のブランチに分割している(ソリッドステートディスクユニットが第2のメモリプレーンを含む場合、該ユニットはBDA<sub>1</sub>と同一型のバスにより第1のドーターボードCFD<sub>1</sub>に接続された第2のドーターボードCFD<sub>2</sub>により構成される)。

【0073】キャッシュメモリCA<sub>1</sub>のドーターボードCFC<sub>1</sub>はドーターボードCFD<sub>1</sub>と同一である。

【0074】このドーターボードCFC<sub>1</sub>はキャッシュメモリCA<sub>1</sub>のメモリプレーンを含んでおり、複数の並列RAM型カラム2R<sub>1</sub>, ..., 2R, ..., 2Rにより構成され、これらの列の組はバス(データ及びアドレスバス)BDA<sub>2</sub>によりマザーボードCMC<sub>1</sub>のバッファメモリ17に接続されている。

【0075】したがって本発明の周辺サブシステムのハードウェアアーキテクチャは、一般にホストアダプタ及びディスクアダプタのマザーボードと、セントラルプロセッサ、キャッシュメモリ及びソリッドステートディスクユニットのマザーボードとの単に2つの型のマザーボードの周囲に構築されることが明らかである。これらのエレメントの各々により確保される機能にしたがって異なる型の1以上のドーターボードがこれらの2つの型のマザーボードの各々に関連付けられる。

【0076】この非常に簡単な構造は、Multibus II型の一方及び/又は他方のバスに接続されたエレメント全体が同一のボードホルダマガジンの内側に配置されている点と相俟って非常に経済的である。更に、製造中に極めて迅速に組み立てることができる。

【0077】図5について説明すると、本発明の周辺サブシステムのマイクロソフトウェアアーキテクチャAMLは5つの主要なマイクロソフトウェアサブアセンブリP, H, D, C, Sを含み、該サブアセンブリはPR<sub>1</sub>, HA<sub>1</sub> (HA<sub>2</sub>~HA<sub>4</sub>), DA<sub>1</sub> (DA<sub>2</sub>~DA<sub>5</sub>), CA<sub>1</sub> (CA<sub>2</sub>) 及びDE<sub>1</sub> (DE<sub>2</sub>) のハードウェア構造に夫々搭載されている。

【0078】各サブアセンブリは夫々特定の機能を有する所定数のモジュールから構成される。所定のモジュールはサブアセンブリ間で共通である。

【0079】同一のサブアセンブリのモジュールは、RAMメモリに配置された共通メモリゾーン(例えばRAH<sub>1</sub>, RAD<sub>1</sub>, 8, 18, 28)により又は相互間の直接呼出しにより相互に通信する。

【0080】異なるサブアセンブリに属するモジュールは、Multibus IIを規定するIEEE規格により規定されるようなMultibus IIメッセージにより相互に通信し、これらのメッセージはデータについては請求メッセージであり、要求、応答及び通告については非請求メッセージである。

【0081】図5に示す5つのマイクロソフトウェアサブアセンブリ以外に、全ハードウェア構造に共通し且つ



該ハードウェア構造の各々に含まれるマイクロコントローラ（即ちマイクロコントローラMCH<sub>1</sub>, MCD<sub>1</sub>, 3, 4, 13, 14, 23, 24）に関連するの別のサブアセンブリが存在する。このマイクロソフトウェアサブアセンブリを参照符号MICで示す。該サブアセンブリは以下のモジュールを含む。

【0082】構造エレメントHA<sub>1</sub>~GA<sub>1</sub>, DA<sub>1</sub>~DA<sub>8</sub>, PR<sub>1</sub>, PR<sub>2</sub>, CA<sub>1</sub>, CA<sub>2</sub>, DE<sub>1</sub>, DE<sub>2</sub>の各々のハードウェアコンポーネント全体を初期化するように構成されたモジュールm<sub>1</sub>。この初期化はより詳細には2つのコントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>の電源投入時のこれらのハードウェアコンポーネントの種々の試験に関係する。これらの試験は英語の頭文字BIST及びBOOTとして実際によく知られている。

【0083】2つのコントロールユニットの電源投入時に種々のハードウェア構造の相互接続に関係し且つMultibus IIに関する上記IEEE規格1296により規定される接続用モジュールm<sub>2</sub>（英文用語interconnect spaceとして知られる）。

【0084】コントロールユニットの各々を2つの電源ALIM<sub>1</sub>及びALIM<sub>2</sub>に接続する規格化RS 232型のワイヤリンク（これらのリンクは図1、図2及び図3では簡単にするために図示せず）の管理のためのモジュールm<sub>3</sub>。

【0085】サブアセンブリHは以下のモジュールを含む。

【0086】モジュールM<sub>0</sub>はホストアダプタのオペレーティングシステムに係る。以下に示すように、このモジュールM<sub>0</sub>はサブアセンブリP, H, D, C, Sに共通である。このモジュールは、一方から他方への通行を確保することにより夫々が帰属するサブアセンブリ（この場合H）を構成する種々のモジュール間の連係作業を組織する。

【0087】サブアセンブリP, H, D, C, Sに共通の情報（データ、アドレス）の転送を管理するためのモジュールM<sub>1</sub>。該モジュールはMultibus IIバス（B<sub>1</sub>, B<sub>2</sub>）の一方又は他方を介してこのモジュールが搭載されているハードウェアエレメント（この場合H）から他のエレメントへの情報の転送を確保する。

【0088】ホストアダプタHA<sub>1</sub>のホストインターフェースIH<sub>1</sub>の管理のためのモジュールM<sub>2</sub>。このモジュールは全ホストアダプタHA<sub>1</sub>~HA<sub>8</sub>に共通であることが理解されよう。

【0089】メモリRAH<sub>1</sub>の命令RAMに含まれるコマンドスタックの管理のためのモジュールM<sub>3</sub>。該モジュールは他のサブアセンブリH, D, Sに共通である。

【0090】ホストH<sub>1</sub>によりコントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>にアドレスされるコマンドを実行するためのモジュールM<sub>4</sub>。

【0091】例えばセントラルホストH<sub>1</sub>からバンクB

MD<sub>1</sub>のディスクメモリへのコマンドを受け取り、これらのコマンドをディスクアダプタDA<sub>1</sub>に経路指定するモジュールM<sub>5</sub>。

【0092】ホストアダプタのハードウェアコンポーネントの一方又は他方にエラーが検出されたときに再始動及びエラー処理するためのモジュールM<sub>6</sub>。このモジュールはサブアセンブリH, D及びSに共通である。

【0093】例えばサンプリングを実施する監視及び管理モジュールM<sub>7</sub>は、モジュールm<sub>2</sub>（上述）との接続、例えばホストアダプタが属するコントロールユニットの電源が切断した場合にコンテキストの救済、テーブル初期化等を確保する。このモジュールはサブアセンブリH, D及びSに共通である。

【0094】ホストバッファメモリMTH<sub>1</sub>の管理のためのモジュールM<sub>10</sub>。

【0095】ホストアダプタDA<sub>1</sub>に搭載されるサブアセンブリDは、上記に規定したモジュールM<sub>0</sub>と、同様に上記に規定したMultibus II転送管理用モジュールM<sub>1</sub>と、上記に規定したコマンドスタックの管理のためのモジュールM<sub>3</sub>と、上記に規定したバッファメモリMTD<sub>1</sub>の管理のためのモジュールM<sub>10</sub>と、上記に規定した再始動及びエラー処理モジュールM<sub>6</sub>と、上記に規定した監視及び管理モジュールM<sub>7</sub>と、セントラルホストからバンクBMD<sub>1</sub>のディスクメモリの一方又は他方へのコマンドを翻訳するためのモジュールM<sub>9</sub>とを含む。

【0096】ソリッドステートディスクユニットDE<sub>1</sub>及びDE<sub>2</sub>のマイクロソフトウェアサブアセンブリSは、マイクロソフトウェアサブアセンブリDと厳密に同一である。

【0097】キャッシュメモリCA<sub>1</sub>, CA<sub>2</sub>のマイクロソフトウェアサブアセンブリCは、モジュールM<sub>0</sub>（上記）と、Multibus IIバス（一方又は他方）を経る情報の転送を管理するためのモジュールM<sub>1</sub>（上記）と、キャッシュメモリCA<sub>1</sub>, CA<sub>2</sub>に含まれるテーブルを管理するためのモジュールM<sub>11</sub>とを含む。

【0098】2つのセントラルプロセッサPR<sub>1</sub>及びPR<sub>2</sub>の各々に搭載されるマイクロソフトウェアサブアセンブリPは、オペレーティングシステムに関するモジュールM<sub>0</sub>（上記）と、Multibus II転送を管理するためのモジュールM<sub>1</sub>（上記）と、対応するコントロールユニット（UC<sub>1</sub>, UC<sub>2</sub>）の初期化モジュールM<sub>12</sub>と、2つのコントロールユニット間の通信用モジュールであって、特に一方のコントロールユニットの構造エレメントの1つが使用不能の場合にこれらの2つのコントロールユニット間で情報交換を設定するように構成されたモジュール（このとき、他方のユニットの対応する構造エレメントは使用不能なエレメントにより通常実施されるオペレーションを実行するように構成される）M<sub>13</sub>と、電源ALIM<sub>1</sub>（ALIM<sub>2</sub>）と本発明の周辺サブシステムの保守を担当するオペレータに用意された保守盤とを管

理するためのモジュールM<sub>14</sub>と、電源が切断された場合に対応するコントロールユニット全体のコンテキストを救済するためのモジュールM<sub>15</sub>と、電源が切断され、前記モジュールM<sub>15</sub>により対応する救済が行われた後にソリッドステートディスクユニットDE<sub>1</sub>、DE<sub>2</sub>の書き込み又は読み取りオペレーションを再始動するためのモジュールM<sub>17</sub>と、バックアップディスクメモリMSD<sub>1</sub> (MSD<sub>2</sub>)とこれに関連するセントラルプロセッサ(即ちPR<sub>1</sub>)との間のインターフェースを管理するためのモジュールM<sub>18</sub>とを含む。

【0099】上記マイクロソフトウェアサブアセンブリの各々がどのように作動するか、及び該サブアセンブリを構成するこれらのモジュールの各々が他のモジュールとの関連でどのように作用するかについては、ディスクメモリバンクBMD<sub>1</sub>及びキャッシュメモリCA<sub>1</sub>、CA<sub>2</sub>の内側のオペレーションに関する特に図7A及び図7B並びに図8A及び図8Bと共に以下の説明から良く理解されよう。

【0100】まず最初にセントラルプロセッサPR<sub>1</sub> (PR<sub>2</sub>)のサブアセンブリPの役割を大まかに説明しよう。

【0101】2つのセントラルプロセッサPR<sub>1</sub>及びPR<sub>2</sub>は、コントロールユニットUC<sub>1</sub>及びUC<sub>2</sub>の各々に属する種々のハードウェア要素の夫々親装置である。該セントラルプロセッサは、夫々に割り当てられた機能を実行できるように種々の要素HA<sub>1</sub>~HA<sub>8</sub>、DA<sub>1</sub>~DA<sub>8</sub>、DE<sub>1</sub>、DE<sub>2</sub>、CA<sub>1</sub>、CA<sub>2</sub>の実行プログラムを内側にロードする。当然のことながら、これらのプログラムの実行は上記機能サブアセンブリH、D、C、Sに対応する。プロセッサPR<sub>1</sub>及びPR<sub>2</sub>は、例えばバックアップ回転ディスクメモリMSD<sub>1</sub>及びMSD<sub>2</sub>に保存されたこれらのプログラムを探索する。その場合、これらのバックアップメモリはデュアル機能、即ちまず第1にアダプタDA<sub>1</sub>、DA<sub>2</sub>等が使用不能な場合に、まだ保存されずにバンクBMD<sub>1</sub>、BMD<sub>2</sub>等の回転ディスクメモリへの書き込みを待機している情報をバックアップする機能と、第2に上記実行プログラムを保存する機能とを有する。しかしながらこれらのプログラムは、プロセッサPR<sub>1</sub>及びプロセッサPR<sub>2</sub>の両方に接続されたシステムディスクメモリと呼称される特別のディスクメモリに保存され得る。以下の説明では、バックアップ回転ディスクメモリMSD<sub>1</sub>及びMSD<sub>2</sub>もシステムディスクメモリの役割を果たすと仮定する。

【0102】本発明の周辺マスメモリサブシステムの初期設定は以下のように行われる。

【0103】各コントロールユニット(UC<sub>1</sub>、UC<sub>2</sub>)は電源を入れると自動的にブートロードされるように構成されている。ブートロード(即ちコントロールユニットを含む構造要素のハードウェア構造の各々における種々のマイクロソフトウェアサブアセンブリの実

行)は、(バックアップディスクメモリがシステムディスクメモリの役割を果たすため)バックアップディスクメモリ中のファイルから行われる。初期設定は順次以下のオペレーションの実行を含む。

【0104】ハードウェア構造の各々についてマイクロコントローラMCH<sub>1</sub>、MCD<sub>1</sub>、3、4、13、14、23、24はモジュールm<sub>1</sub>の命令を実行し、そのハードウェアコンポーネントを初期設定する。

【0105】この間PR<sub>1</sub>のハードウェア構造は、ディスクメモリMSD<sub>1</sub>からブートロードされ、他の構造要素の他のハードウェア構造はそれ自体のマイクロソフトウェアサブアセンブリがロードされるのを待機する。換言するならば、セントラルプロセッサPR<sub>1</sub>はモジュールM<sub>0</sub>、M<sub>1</sub>、M<sub>12</sub>、M<sub>13</sub>、M<sub>14</sub>、M<sub>15</sub>、M<sub>16</sub>及びM<sub>17</sub>によりRAMメモリ8にロードされる。

【0106】次にプロセッサPR<sub>1</sub>は、コントロールユニットUC<sub>1</sub>を構成する他のハードウェア構造の各々にローディングコードを送る。次に該プロセッサは、Multiibus II型の2つのバス的一方又は他方を介して該ハードウェア構造に対応するマイクロソフトウェアサブアセンブリ(プロセッサがバックアップディスクメモリMSD<sub>1</sub>中で探索し、例えばそのバッファメモリ7中に保存しておいたサブアセンブリ)を送る。

【0107】要素(DE<sub>1</sub>、CA<sub>1</sub>、HA<sub>1</sub>、DA<sub>1</sub>)の各々は、該要素に含まれるマイクロコントローラによりモジュールm<sub>0</sub>、m<sub>1</sub>、m<sub>2</sub>、m<sub>3</sub>の各々を実行することによりそのハードウェアコンポーネントを初期設定する。次に、該要素は実行しようとするマイクロソフトウェアサブアセンブリを含む種々のモジュールをロードする。

【0108】システムディスクメモリとしての機能においてバックアップディスクメモリが何らかの理由でセントラルプロセッサPR<sub>1</sub>によりアクセス不能な場合、このセントラルプロセッサは他方のコントロールユニットUC<sub>2</sub>のセントラルプロセッサPR<sub>2</sub>によりロードされる。いったんロードされると、PR<sub>1</sub>は、UC<sub>2</sub>のシステムディスクメモリとして機能する他方のディスクメモリMSD<sub>2</sub>中でコントロールユニットUC<sub>1</sub>の構造要素のマイクロソフトウェアサブアセンブリをロードするためのファイルを探索する。

【0109】コントロールユニットのハードウェア構造の各々が該ハードウェア構造に対応するマイクロソフトウェアサブアセンブリを含む全モジュールをロードされるや否や、こうして形成された構造要素は該要素に割り当てられた機能を実行することができる。

【0110】マイクロソフトウェアサブアセンブリがどのように作動するかをよく理解するためには、バンク(例えばBMD<sub>1</sub>)のディスクメモリ内に情報を書き込むオペレーションがHA<sub>1</sub>、DA<sub>1</sub>及びCA<sub>1</sub>にロードされるサブアセンブリH、D及びCを含むマイクロソフト

ウェアモジュールの各々によりどのように実施されるかを示す図7A及び図7Bをまず参照されたい。

【0111】図6も参照することができ、同図は、HA<sub>1</sub>及びDA<sub>1</sub>に搭載されるソフトウェアサブアセンブリのモジュールが相互にどのように機能するかを示すと共に、データブロックがバンクBMD<sub>1</sub>（又はBMD<sub>2</sub>等）のディスクメモリの1つとキャッシュメモリCA<sub>1</sub>（CA<sub>2</sub>）との両方で読み取られるときにこれらのモジュールの各々により実施される種々のオペレーションを示す。

【0112】データブロックがBMD<sub>1</sub>のディスクメモリD<sub>1</sub>～D<sub>6</sub>の1つ及びキャッシュメモリCA<sub>1</sub>で読み取られる時に関連する種々のオペレーションを説明する前に、情報がディスクメモリにどのように書き込まれるか、及びキャッシュメモリの役割についてまず説明することが肝要である。

【0113】データブロックをディスクメモリの磁気ディスクに書き込むために、ディスクメモリは各々同一の長さを有するセクタに分割されている。これは固定フォーマットメモリとして知られるディスクメモリで現在一般に使用されている。種々のセクタはすべて同一のバイト数（例えば512K）を有する。各セクタにはヘッダ、データブロック及びフッタが順次書き込まれる。ヘッダは磁気ディスクのトラック上のセクタでヘッダが位置する物理的位置に情報を含み、フッタはデータの完全性を確認するための情報を含み、このセクタに記録される全バイトが正しいか否かを確認する。情報書き込みのためのこのようなセクタ構成及びセクタ内の分配は非常によく知られており、従来のディスクメモリで広く使用されている。本発明の周辺サブシステムでもこの書き込み構成をソリッドステートディスクユニットDE<sub>1</sub>及びDE<sub>2</sub>で使用する。

【0114】ディスクメモリに関するオペレーションの過程ではしばしば同一のデータブロックが読み取られることが予想される。換言するならば、経時的に同一のデータブロックへのアクセスの確率は非常に高い。更に、複数のデータブロックが逐次読み取られる場合、第1の所定のデータブロックがいったん読み取られてから同一のデータブロックがこの同一の所定のブロックに引き続いて読み取られる確率も高い。

【0115】上記の理由から、高頻度で読み取られる確率が高いデータを正確に含むキャッシュメモリが使用される。したがって、これらのデータはキャッシュメモリに直接読み取られ、対応するディスクメモリで探索する必要はない。

【0116】データは次に、磁気ディスクメモリのアクセス時間よりも実質的に著しく短いキャッシュメモリのアクセス時間（磁気ディスクメモリの数十ミリ秒に対して約0.1ミリ秒）で読み取られる。

【0117】キャッシュメモリCA<sub>1</sub>の内側で、情報は

キャッシュブロックと呼称されるブロックの形態のドーターボードCFC<sub>1</sub>のRAMメモリカラム2M<sub>1</sub>, . . . , 2M<sub>1</sub>, . . . , 2M<sub>2</sub>に書き込まれる。ディスクメモリの各セクタと同様に、該キャッシュブロックの各々はヘッダと、後続するデータ（典型的にはデータフィールドと呼称される）と、後続するフッタを含む。ヘッダ及びフッタの夫々の役割は、磁気ディスクメモリに記録されるデータのセクタのヘッダ及びフッタと同一である。

10 【0118】単一のキャッシュメモリのデータフィールドは、バンクBMD<sub>1</sub>, BMD<sub>2</sub>等の1つに属するディスクメモリの磁気ディスクのN（整数）個のセクタに記録される全データに対応する。

【0119】各キャッシュブロックと、所与のディスクメモリに属する所与の磁気ディスクの種々の対応するセクタとの間の対応はテーブルに示される。テーブルは例えばマザーボードCMC<sub>1</sub>に属するRAMメモリ18のメモリスペースを占有する。

20 【0120】図7A及び図7Bは、データの一部がキャッシュメモリCA<sub>1</sub>で読み取られるか否かに拘わらず、バンクBMD<sub>1</sub>のディスクメモリのいずれか1つにおけるデータブロックの読み取り時に、ホストアダプタHA<sub>1</sub>とディスクアダプタDA<sub>1</sub>との間、ディスクアダプタとキャッシュメモリとの間、及びキャッシュメモリとホストアダプタHA<sub>1</sub>との間の対話を示す。

【0121】読み取りオペレーションは以下の通りである。

30 【0122】1) ホストアダプタHA<sub>1</sub>は、例えばメモリRAH<sub>1</sub>に配置されるコマンドスタック中に送られるコマンドメッセージCMDとしてホストH<sub>1</sub>からの読み取り要求を受け取る。このオペレーションはモジュールM<sub>1</sub>及びM<sub>2</sub>により順次実行される。

【0123】2) コマンドメッセージCMDの内側でモジュールM<sub>2</sub>はデータブロックを読み取るべきディスクメモリのアドレスをデコードする。このディスクメモリは簡単にリソースと呼称される。

【0124】3) モジュールM<sub>2</sub>はリソースのアドレスをデコードするや否や、コマンドメッセージMSG CMDを作成する。

40 【0125】4) 実際にMultibus II型のメッセージであるこのメッセージMSG CMDは、モジュールM<sub>1</sub>の指令下にバスB<sub>1</sub>を通過してディスクアダプタDA<sub>1</sub>に送られる。

【0126】5) メッセージはモジュールM<sub>2</sub>の指令下にマイクロプロセッサMPD<sub>1</sub>によりデコードされる。

【0127】6) 該モジュールM<sub>2</sub>は妥当性をチェックする。

【0128】モジュールM<sub>2</sub>はホストH<sub>1</sub>が該当データブロックを読み取ろうとするリソースを予約する。いった

りリソースが予約されたらオペレーション100に移る。

【0129】100: モジュールM<sub>1</sub>の指令下で、ディスクアダプタはキャッシュメモリCA<sub>1</sub>のプロセッサ16に問い合わせコマンドCIを送る。このコマンドの目的は、データブロックがドーターボードCFC<sub>1</sub>のRAMメモリに記憶されているか否かを認識することである。

【0130】101: キャッシュメモリのテーブルを管理するためのモジュールM<sub>1</sub>は該当データブロックの有無を知るためにキャッシュメモリのテーブルを探索する。

【0131】A) まず応答がイエスであると仮定する。

【0132】キャッシュメモリCA<sub>1</sub>とホストアダプタHA<sub>1</sub>との間に対話が設定される。この対話は次のオペレーション102A~111を含む。

【0133】102A: キャッシュメモリCA<sub>1</sub>のモジュールM<sub>1</sub>は、バッファメモリMTH<sub>1</sub>のページを予約する要求をホストアダプタに送る。

【0134】103: ホストアダプタの管理モジュールM<sub>2</sub>は次に、キャッシュメモリCA<sub>1</sub>に読み取ろうとするデータブロックを一時的に記憶するために、バッファメモリMTH<sub>1</sub>のページを割り当てる。バッファメモリのページが割り当てられるや否やオペレーション104に移る。

【0135】104: ホストアダプタはモジュールM<sub>1</sub>の指令下に、バスB<sub>1</sub>を介してキャッシュメモリにメッセージを送り、そのバッファメモリMTH<sub>1</sub>のページが割り当てられたことを知らせる。

【0136】105: キャッシュメモリのデータブロックは、キャッシュメモリ及びホストアダプタのモジュールM<sub>1</sub>の指令下でバッファメモリMTH<sub>1</sub>に転送される。

【0137】106: ブロックの全データがバッファメモリMTH<sub>1</sub>に記憶されるや否や、ホストアダプタは該当データブロックを転送することをホストH<sub>1</sub>に通知する。この通知はモジュールM<sub>2</sub>の指令下に行われる。

【0138】107: ホストH<sub>1</sub>が転送を受諾するや否や、モジュールM<sub>2</sub>の指令下にホストアダプタにより転送が実施される。

【0139】108: オペレーション106及び107が実行されている間、キャッシュメモリは信号HITをディスクアダプタDA<sub>1</sub>に送り、該当データブロックがキャッシュメモリからホストアダプタHA<sub>1</sub>に転送されたことを知らせる。このメッセージHITは、キャッシュメモリのモジュールM<sub>1</sub>によりキャッシュメモリCA<sub>1</sub>からディスクアダプタDA<sub>1</sub>に送られる。

【0140】109: ディスクアダプタはメッセージHITを受け取るや否や、モジュールM<sub>2</sub>の指令下で応

答メッセージMSG REPTを作成する。

【0141】110: ディスクアダプタは次に、ディスクアダプタ及びホストアダプタのモジュールM<sub>1</sub>の指令下で応答メッセージMSG REPをホストアダプタHA<sub>1</sub>に送る。

【0142】111: ホストアダプタは応答メッセージMSG REPを受け取るや否やモジュールM<sub>2</sub>の指令下で完了送信信号を送り、キャッシュCA<sub>1</sub>におけるデータブロックの読み取りオペレーションが完了したことをホストH<sub>1</sub>に知らせる。

【0143】B) 応答がノーであると仮定する。

【0144】オペレーション101(上記)に引き続きオペレーション102Bを実施する。

【0145】102B: キャッシュメモリCA<sub>1</sub>はそのモジュールM<sub>1</sub>によりバスB<sub>1</sub>を通してディスクアダプタDA<sub>1</sub>にメッセージを送り、データブロックがそこに存在しないことを知らせる。このメッセージがDA<sub>1</sub>によりうけとられると、次のオペレーション8に移る。

【0146】8) アダプタDA<sub>1</sub>は、リソースで読み取られるデータブロックを受け取るためにバッファメモリMTD<sub>1</sub>の1ページ以上を割り当てる(モジュールM<sub>1</sub>により実施されるオペレーション)。こうして次のオペレーションに移る。

【0147】9) モジュールM<sub>2</sub>の指令下にリソースにおけるデータブロックの読み取りが実施される。

【0148】10) 読み取りが完了すると、データブロックはバッファメモリMTD<sub>1</sub>の割り当てられたページに一時的に記憶され、アダプタDA<sub>1</sub>はモジュールM<sub>1</sub>の指令下にそのバッファメモリMTH<sub>1</sub>~HA<sub>1</sub>のページ割り当て要求を送る。

【0149】11) この要求に応答してHA<sub>1</sub>は該当するデータブロックを受け取るためにそのバッファメモリMTH<sub>1</sub>のページを割り当てる。

【0150】12) HA<sub>1</sub>はバスS<sub>1</sub>を介してDA<sub>1</sub>にメッセージを送り、MTH<sub>1</sub>の1ページ以上が割り当てられたことを知らせる(HA<sub>1</sub>及びDA<sub>1</sub>のモジュールM<sub>1</sub>)。

【0151】13) DA<sub>1</sub>は次にこの最後のメッセージに回答して、これらの2つのアダプタのモジュールM<sub>1</sub>の指令下にリソースで読み取られた情報をHA<sub>1</sub>に転送する。

【0152】14A) ホストアダプタはモジュールM<sub>2</sub>の指令下に、リソースで読み取られ且つバッファメモリMTH<sub>1</sub>に一時的に記憶されたデータブロックをすぐに転送するようにホストH<sub>1</sub>に知らせる。

【0153】14B) オペレーション14Aが実施されている間、ディスクアダプタは応答メッセージMSG REPを作成する。このメッセージはディスクアダプタ及びホストアダプタのモジュールM<sub>1</sub>の指令下にHA<sub>1</sub>に送られる(オペレーション15B)。HA<sub>1</sub>はこの応

答メッセージを受け取ると、オペレーション15Aを実行する。

【0154】15A) HA<sub>1</sub>はモジュールM<sub>2</sub>の指令下でホストH<sub>1</sub>にデータブロックを転送する。この間、DA<sub>1</sub>はオペレーション15B及び16Bを実行する。

【0155】15B) ディスクアダプタはモジュールM<sub>3</sub>によりリソースを解放し、次いでモジュールM<sub>10</sub>の指令下にバッファメモリMTD<sub>1</sub>を解放する(オペレーション16B)。

【0156】16A) ホストアダプタはホストH<sub>1</sub>へのデータ転送を完了するや否や、ホストに完了送信信号を送り、リソースにおけるデータブロックの読み取りの全オペレーションが完了したことを知らせる(モジュールM<sub>2</sub>)。

【0157】17A) ホストアダプタは次にモジュールM<sub>10</sub>の指令下にMTH<sub>1</sub>を解放する。

【0158】図8A及び図8BはキャッシュメモリCA<sub>1</sub>又はBMD<sub>1</sub>、BMD<sub>2</sub>等のようなバンクのディスクメモリのいずれか1つにデータブロックを書き込むために実行される全オペレーションを示す。

【0159】HA<sub>1</sub>とDA<sub>1</sub>との間の対話に関するオペレーションセット1~8は、リソース又はキャッシュメモリCA<sub>1</sub>におけるデータブロックの読み取りについて図7A及び図7Bに関して上述したオペレーション1~8と厳密に同一である。その後、オペレーション20に移る。

【0160】20) ディスクアダプタDA<sub>1</sub>は、書き込むべきデータブロックの転送を要求するためにバスB<sub>1</sub>を介してホストアダプタHA<sub>1</sub>にメッセージを送る。このオペレーションは2つのアダプタの2つのモジュールM<sub>1</sub>の指令下に行われる。

【0161】21) 次にホストアダプタは、データブロックを受け取るためにホストバッファメモリMTH<sub>1</sub>の1ページ以上を割り当てる(モジュールM<sub>10</sub>)。

【0162】22) 次にHA<sub>1</sub>は、書き込むべきデータブロックを転送すべきであることをセントラルホストH<sub>1</sub>に知らせる(モジュールM<sub>2</sub>)。

【0163】23) 次にセントラルホストは、オペレーション21で割り当てられたバッファメモリのページに一時的に記憶されていた書き込むべきデータブロックを、モジュールM<sub>2</sub>の指令下に転送する。

【0164】24) 次にHA<sub>1</sub>は、書き込むべきデータブロックを後で受け取るためにバッファメモリMTD<sub>1</sub>の1ページ以上を割り当てるように要求するメッセージをDA<sub>1</sub>に送る(2つのアダプタのモジュールM<sub>1</sub>)。

【0165】25) このメッセージに答えてDA<sub>1</sub>はMTD<sub>1</sub>の1ページ以上が割り当てられたことを知らせるメッセージをHA<sub>1</sub>に送る(モジュールM<sub>1</sub>)。

【0166】26) 次にHA<sub>1</sub>は書き込むべきデータブロックをDA<sub>1</sub>に転送し、DA<sub>1</sub>は先に割り当てられたM

TD<sub>1</sub>のページに該データブロックを一時的に記憶する。

【0167】27) MTD<sub>1</sub>に書き込むべきデータブロックを受け取ると、DA<sub>1</sub>は応答メッセージMSG REPを作成する(モジュールM<sub>9</sub>)。DA<sub>1</sub>はモジュールM<sub>1</sub>の指令下に該応答メッセージをHA<sub>1</sub>に送る(オペレーション28)。

【0168】29) HA<sub>1</sub>はメッセージMSG REPを受け取ると、モジュールM<sub>2</sub>の指令下に完了送信信号をホストに送る。ホストH<sub>1</sub>にとってこのメッセージは、予約されたリソース又はキャッシュメモリCA<sub>1</sub>のいずれかで(実際にはまだであるが)データブロックの書き込みオペレーションが完了したことを意味する。

【0169】次にオペレーション30に進む。

【0170】30) モジュールM<sub>3</sub>の指令下で、アダプタDA<sub>1</sub>は該当リソースにデータブロックを書き込む。この書き込みと平行してディスクアダプタは、モジュールM<sub>1</sub>の指令下に2つのバスB<sub>1</sub>、B<sub>2</sub>の一方又は他方を介してコマンド信号CIWをキャッシュメモリCA<sub>1</sub>に送る。この信号の目的は、書き込むべきデータブロックをそのメモリCFC<sub>1</sub>に書き込むことができるか否かを該キャッシュメモリに尋ねることである。コマンド信号CIWを送ることがオペレーション128の目的である。

【0171】129: 128に答えてキャッシュメモリはモジュールM<sub>11</sub>の指令下に、データブロックをキャッシュメモリに書き込むべきであることを意味する信号HIT、又はそうすべきでないことを意味する信号HITバーをディスクアダプタに送る(前者はオペレーション130A、後者は130B)。自明のように後者の場合、オペレーション130Bに答えてディスクアダプタは以後、キャッシュメモリCA<sub>1</sub>を無視する。前者の場合(130A)、手続きはオペレーション131に進む。

【0172】131: ディスクアダプタはメモリCFC<sub>1</sub>に書き込む前に書き込むべきデータブロックを一時的に記憶するために、キャッシュバッファメモリ17の1ページ以上の予約を要求するメッセージをキャッシュメモリに送る。このオペレーションはDA<sub>1</sub>及びCA<sub>1</sub>のモジュールM<sub>1</sub>の指令下に行われる。

【0173】132: CA<sub>1</sub>のモジュールM<sub>1</sub>の指令下に、CA<sub>1</sub>はバッファ17の1ページ以上が書き込むべきデータブロックを一時的に記憶するために割り当てられたことをDA<sub>1</sub>に知らせる。

【0174】133: オペレーション132に答えて、DA<sub>1</sub>はCA<sub>1</sub>のバッファメモリ17に書き込むべきデータブロックを転送する。

【0175】134: データブロックは17に転送されるや否やM<sub>11</sub>の指令下にメモリCFC<sub>1</sub>に転送される。

【0176】オペレーションセット128A~134はオペレーション30（上記）と平行して実施される。

【0177】このオペレーション30後、手続きはオペレーション31に移る。

【0178】31)書き込むべきデータブロックセットが書き込まれると、モジュールM<sub>3</sub>はリソースを解放する。

【0179】32)リソースがいったん解放されると、モジュールM<sub>3</sub>は先に割り当てられていたバッファメモリMTD<sub>1</sub>のページを解放する。

【0180】33)いったんオペレーション32が完了すると、DA<sub>1</sub>はモジュールM<sub>1</sub>の指令下にホストアダプタにメッセージを送り、オペレーション34でそのホストバッファメモリMTH<sub>1</sub>を解放できるようにする。

【0181】ホストアダプタHA<sub>1</sub>が使用不能であることが判明したならば、該ホストアダプタはUC<sub>2</sub>の対応するアダプタHA<sub>2</sub>で代替される。同様に、DA<sub>1</sub>はDA<sub>2</sub>で代替される。こうして、B<sub>2</sub>を介してHA<sub>2</sub>、DA<sub>2</sub>及びCA<sub>2</sub>の間に対話が設定される。

【0182】ユニットUC<sub>1</sub>全体が使用不能であるならば、CA<sub>1</sub>に含まれ、同様にCA<sub>2</sub>にも書き込まれたデータはCA<sub>2</sub>で直接読み取られ、HA<sub>1</sub>、DA<sub>2</sub>及びCA<sub>2</sub>の間で対話が行われる。この場合も、キャッシュメモリCA<sub>1</sub>、CA<sub>2</sub>へのデュアルアクセスと、CA<sub>1</sub>及びCA<sub>2</sub>の両方に書き込まれる冗長性の利点は明らかである。

【0183】図6、図7A、図7B、図8A及び図8Bから明らかなように、所定数のモジュールは、ホストアダプタ、ディスクアダプタ又はキャッシュメモリのいずれであろうとも、ハードウェア相互間で共通の多数のオペレーションを実行する。例えばモジュールM<sub>2</sub>及びM<sub>3</sub>がその例である。モジュールM<sub>2</sub>、M<sub>3</sub>及びM<sub>3</sub>の重要性にも着目されたい。

【0184】所定のデータブロックの全読み書きオペレーションは、2つのソリッドステートディスクユニットDE<sub>1</sub>及びDE<sub>2</sub>に関して同一の方法で実施されることに留意すべきである。回転ディスクメモリと同様に、書き込むべきデータブロックは同一バイト数を含むセクタに分割され、1つのセクタの情報の組は相互に連続するアドレス、例えばユニットアドレスを有する記憶場所に書き込まれる。本発明の好適実施態様によると、データは7エラー修正ビットECC（エラーコレクタコード）に加えられる4バイトに分配される有効な39又は32ビットのフォーマットとして書き込まれ、このエラーコレクタコードはダイナミックRAMメモリで従来から使用されている。図7A、図7B、図8A及び図8Bに示すような読み書き方法をDE<sub>1</sub>又はDE<sub>2</sub>のようなソリッドステートディスクも良好に使用できるようにするためには、以上の全説明でディスクアダプタDA<sub>1</sub>をマザーボードCMD<sub>1</sub>に置き換えれば十分であり、マイクロプロセッサ26はマイクロプロセッサMPD<sub>1</sub>と同一の役割

を果し、バッファメモリ27はディスクアダプタのバッファメモリMTD<sub>1</sub>と同一の役割を果す。データがメモリCFD<sub>1</sub>にいったん書き込まれると、バックアップディスクメモリMSD<sub>1</sub>は遮蔽時間で更新され、メモリCFD<sub>1</sub>に書き込まれたブロックと同一のデータブロックを受け取り、これらのデータはホストバッファMTH<sub>1</sub>に由来する。

【図面の簡単な説明】

【図1】本発明の周辺サブシステムのハードウェアアーキテクチャの最も単純な形態である第1の実施態様の説明図である。

【図2】本発明の周辺サブシステムのハードウェアアーキテクチャの最も複雑な形態である第2実施態様の説明図である。

【図3】ホストアダプタ及びメモリアダプタのハードウェア構造の詳細図である。

【図4】本発明の周辺サブシステムの2つのコントロールユニットの一方のセントラルプロセッサ、キャッシュメモリ及びソリッドステートディスクユニットのハードウェア構造の詳細図である。

【図5】本発明の周辺サブシステムのコントロールユニットを構成するハードウェアエレメントの各々にマイクロソフトウェアアーキテクチャの種々の機能サブアセンブリをどのように搭載するかを示す説明図である。

【図6】ホストアダプタ及びメモリアダプタに固有のマイクロソフトウェアアーキテクチャの機能サブアセンブリが夫々どのように構成されるかを示す構成図である。

【図7A】キャッシュメモリとマスメモリのディスクメモリの1つとの両方でデータブロックの読み取りオペレーションを実行できるように、ホストアダプタとディスクメモリアダプタとの間、及びこれらのアダプタとキャッシュメモリとの間の対話を説明するフローチャートである。

【図7B】キャッシュメモリとマスメモリのディスクメモリの1つとの両方でデータブロックの読み取りオペレーションを実行できるように、ホストアダプタとディスクメモリアダプタとの間、及びこれらのアダプタとキャッシュメモリとの間の対話を説明するフローチャートである。

【図8A】キャッシュメモリとマスメモリのディスクメモリとの両方への書き込みオペレーションを実行できるように、ホストアダプタとディスクメモリアダプタ間及びこれらのアダプタとキャッシュメモリとの間の対話を示すフローチャートである。

【図8B】キャッシュメモリとマスメモリのディスクメモリとの両方への書き込みオペレーションを実行できるように、ホストアダプタとディスクメモリアダプタ間及びこれらのアダプタとキャッシュメモリとの間の対話を示すフローチャートである。

【符号の説明】

25

PSS<sub>1</sub>, PSS<sub>2</sub> 周辺マスメモリサブシステム  
 H<sub>1</sub>, H<sub>2</sub>, H<sub>3</sub>, H<sub>4</sub> セントラルホスト  
 UC<sub>1</sub>, UC<sub>2</sub> コントロールユニット  
 BMD<sub>1</sub>, BMD<sub>2</sub> マスメモリ  
 ALIM<sub>1</sub>, ALIM<sub>2</sub>, BAT<sub>1</sub>, BAT<sub>2</sub> 電源  
 PR<sub>1</sub>-PR<sub>2</sub>, DE<sub>1</sub>-DE<sub>2</sub>, CA<sub>1</sub>-CA<sub>2</sub>, HA<sub>1</sub>-

【図1】

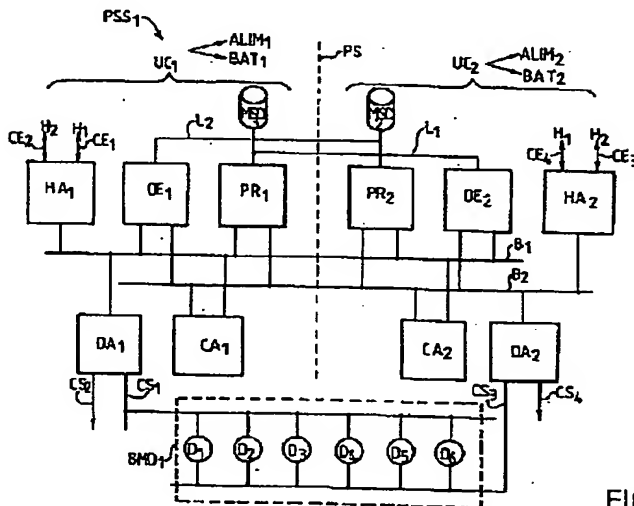


FIG.1

26

HA<sub>2</sub>, DA<sub>1</sub>-DA<sub>2</sub> 構造エレメント  
 B<sub>1</sub>, B<sub>2</sub> バス  
 AML マイクロソフトウェアアーキテクチャ  
 B, H, D, C, S 機能マイクロソフトウェアサブア  
 センブリ

【図5】

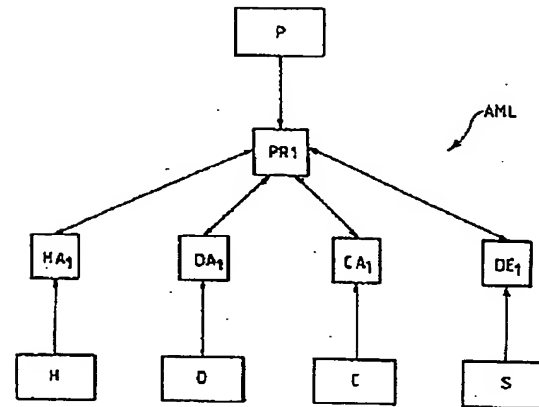


FIG.5

【図2】

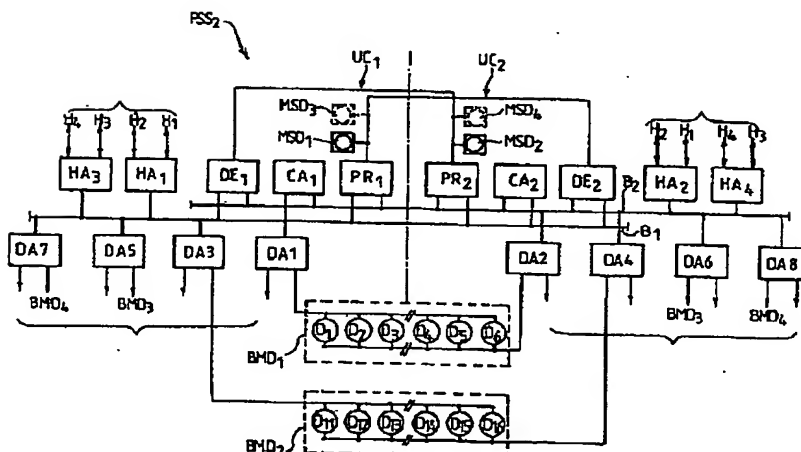
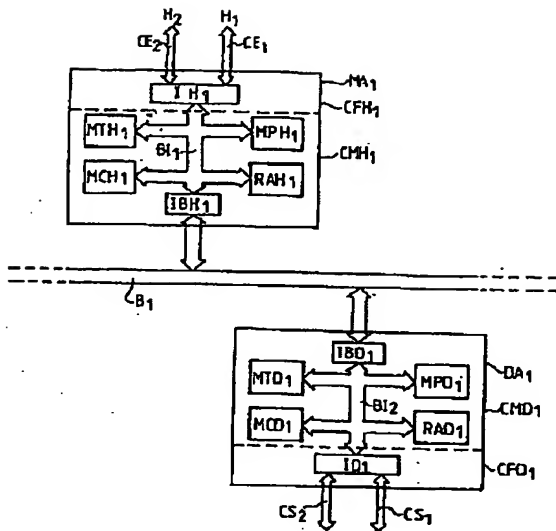


FIG.2



【图 3】



**FIG.3**

【图 7 A】

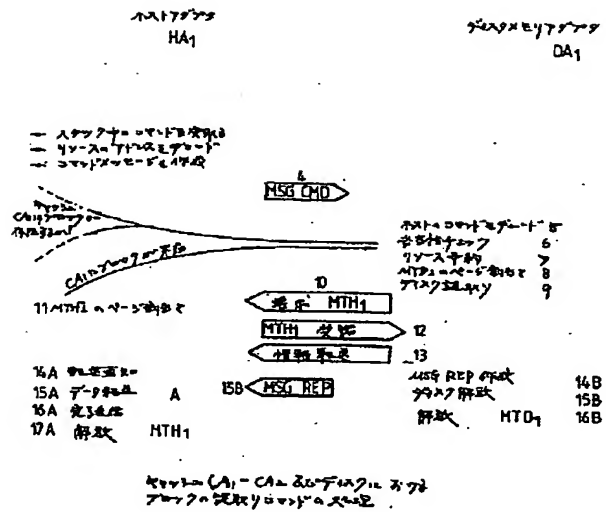


FIG. 7A

【図 4】

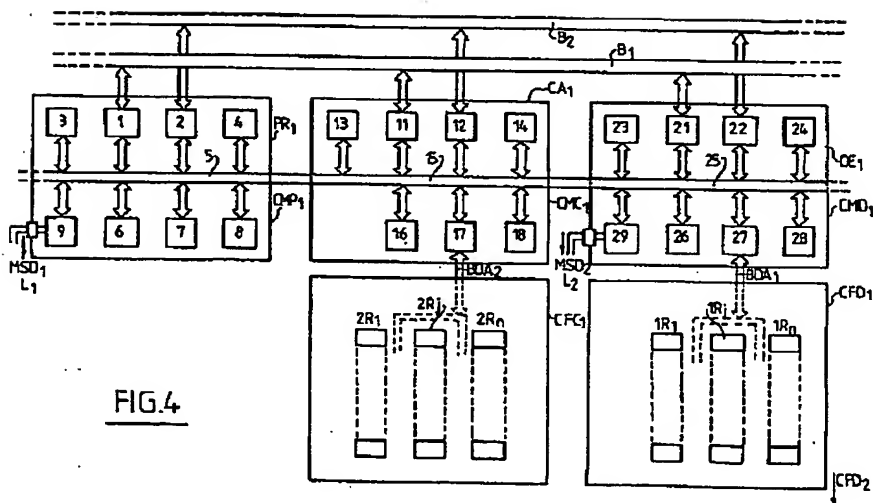


FIG.4

【例 6】

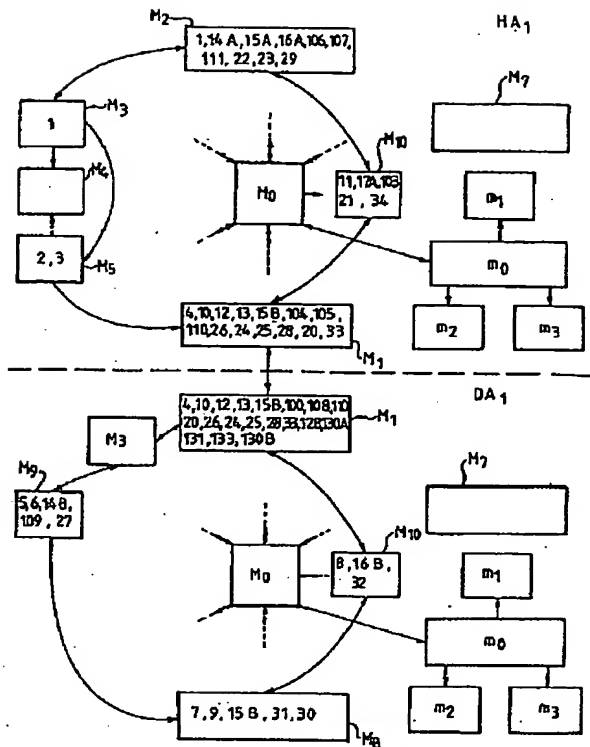


FIG.6

【例 7 B】

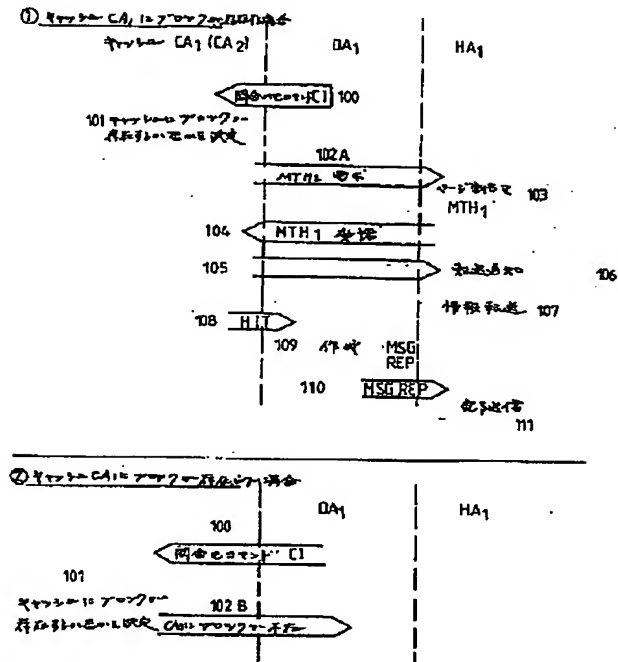


FIG.7B

【图 8 A】

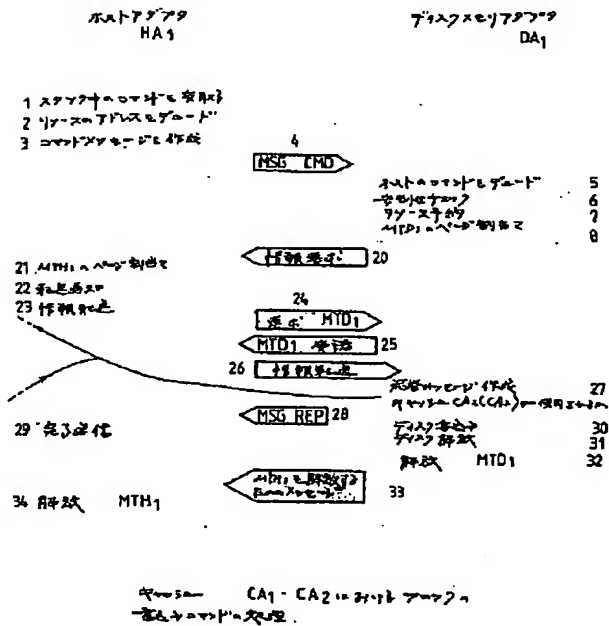


FIG.8A

① アナログ (A) (C) の 2 重化

アナログ CA1      DA1      HA1

128  
コボット CTW

129 アナログ CA1 の 2 重化

130 A  
HIT アナログ CA1 の 2 重化

131  
アナログ CA1 の 2 重化

132  
アナログ CA1 の 2 重化

133  
アナログ CA1 の 2 重化

134 アナログ CA1 の 2 重化

アナログ CA1 の 2 重化

② A (C) の 2 重化

アナログ CA1      DA1      HA1

128  
コボット CTW

129 アナログ CA1 の 2 重化

130 B  
HIT

アナログ CA1 の 2 重化

FIG. 8B

(72)発明者 パトリスイア・ジャコミニ  
フランス国、78390・ボア・ダルシ、リ  
ユ・バラゲ、12